

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 010082828 A  
(43)Date of publication of application: 31.08.2001

(21)Application number: 000008304  
(22)Date of filing: 21.02.2000

(71)Applicant: LG.PHILIPS LCD CO., LTD.  
(72)Inventor: KWON, O NAM

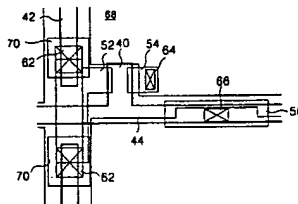
(51)Int. Cl G02F 1/136

(54) LIQUID CRYSTAL DISPLAY AND METHOD FOR MANUFACTURING THE SAME

(57) Abstract:

PURPOSE: A liquid crystal display and method for manufacturing the same are to prevent an opening of the data line at a crossing point of the gate line and the data line due to increased height of the gate line, thereby minimizing the failure rate.

CONSTITUTION: A groove portion is formed at a selected portion of a transparent substrate. The first metal pattern including a data line(42), a gate line (44) and a gate electrode(40) for a thin film transistor is formed in the groove portion. A gate insulating film and an active layer are orderly formed on the resultant structure. A source electrode(52) and a drain electrode(54) are formed on the active layer such that they are overlapped with the data line. A passivation layer is formed on the resultant structure and is then patterned to form the first contact hole (64) for exposing the drain electrode and the second contact hole(62,66) for exposing the data line and the source electrode at the same time. A metal film is deposited on the resultant structure and is then patterned to form a pixel electrode(68) electrically connected to the drain electrode and a link electrode (70) commonly connected to the data line and the source electrode.



COPYRIGHT 2001 KIPO

Legal Status

Final disposal of an application (application)

**THIS PAGE BLANK (USPTO)**

(19) 대한민국특허청 (KR)  
(12) 공개특허공보 (A)

(51) 。 Int. Cl. 7  
G02F 1/136

(11) 공개번호 특2001 - 0082828  
(43) 공개일자 2001년08월31일

(21) 출원번호 10 - 2000 - 0008304  
(22) 출원일자 2000년02월21일

(71) 출원인 엘지.필립스 엘시디 주식회사  
구본준, 론 위라하디락사  
서울 영등포구 여의도동 20번지

(72) 발명자 권오남  
경기도의왕시오전동21엘지진달래아파트103 - 1410

(74) 대리인 김영호

심사청구 : 없음

(54) 액정표시소자 및 그 제조방법

요약

본 발명은 게이트라인의 단차에 의한 데이터라인의 단선을 방지할 수 있는 액정표시소자와 그 제조방법에 관한 것이다.

본 발명의 액정표시소자는 신호배선이 형성되어질 홈부가 마련된 투명기관과, 투명기관의 홈부에 형성되며 데이터라인 및 게이트라인과 박막트랜지스터의 게이트전극을 이루는 제1 금속패턴과, 데이터라인과 중첩되게 형성되어진 박막트랜지스터의 소스 및 드레인 전극을 포함하는 제2 금속패턴과, 제1 금속패턴과 제2 금속패턴 사이에 위치하는 게이트절연막과, 게이트절연막 표면에 형성되며 소스 및 드레인 전극에 접촉되는 활성층과, 박막트랜지스터를 보호하기 위한 보호막과, 보호막에 형성되어진 제1 콘택홀을 통해 드레인 전극에 전기적으로 접촉된 화소전극과, 상기 보호막의 표면에 형성되며 제2 콘택홀을 통해 상기 데이터라인과 상기 소스 전극을 전기적으로 접속시키기 위한 링크전극을 구비한다.

본 발명에 의하면, 투명기관에 형성되어진 트랜치에 데이터라인과 게이트라인을 단차없이 형성함으로써 종래의 게이트라인 단차에 의한 데이터라인의 단선을 방지할 수 있게 된다.

대표도  
도 11

명세서

도면의 간단한 설명

도 1은 종래의 액정표시소자에 대한 평면도.

도 2는 도 1에 도시된 박막트랜지스터부를 A-A'선을 따라 절단하여 도시한 단면도.

도 3은 도 1에 도시된 게이트라인과 데이터라인의 교차부를 B-B'선을 따라 절단하여 도시한 단면도.

도 4a 내지 도 4e는 본 발명의 실시예에 따른 액정표시소자에 제조방법 중에서 제1 마스크 공정을 단계적으로 도시한 단면도.

도 5는 상기 제1 마스크 공정에 의해 형성된 게이트라인과 데이터라인의 평면도.

도 6은 본 발명의 실시예에 따른 액정표시소자에 제조방법 중에서 제2 마스크 공정을 도시한 단면도.

도 7은 상기 제2 마스크 공정이 수행되어진 하판에 대한 평면도.

도 8은 본 발명의 실시예에 따른 액정표시소자에 제조방법 중에서 제3 마스크 공정을 도시한 단면도.

도 9는 상기 제3 마스크 공정이 수행되어진 하판에 대한 평면도.

도 10은 본 발명의 실시예에 따른 액정표시소자에 제조방법 중에서 제4 마스크 공정을 도시한 단면도.

도 11은 상기 제4 마스크 공정이 수행되어진 하판에 대한 평면도.

도 12는 도 11에 도시된 데이터라인과 소스전극의 접촉부를 나타낸 단면도.

< 도면의 주요 부분에 대한 부호의 설명 >

2, 44 : 게이트라인 4, 42 : 데이터라인

6, 40 : 게이트전극 8, 52 : 소스전극

10, 54 : 드레인전극 12 : 박막트랜지스터

11, 13, 62, 64, 66 : 콘택홀 14, 68 : 화소전극

15, 56 : 스토리지 전극 16, 32 : 투명기판

18, 46 : 게이트절연막 20, 48 : 활성층

22, 50 : 오믹콘택층 24, 60 : 보호막

30 : 스토리지 캐패시터 34 : 포토레지스트 패턴

36 : 트렌치 38 : 금속시드층

70 : 링크전극

발명의 상세한 설명

## 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정표시소자에 관한 것으로, 특히 게이트라인의 단차에 의한 데이터라인의 단선을 방지할 수 있는 액정표시소자와 그 제조방법에 관한 것이다.

통상, 액정표시(Liquid Crystal Display; LCD) 장치는 비디오신호에 따라 액정셀들의 광투과율을 조절하여 화상을 표시하게 된다. 액정표시장치 중 액정셀별로 스위칭소자가 마련된 액티브 매트릭스(Active Matrix) 타입은 동영상 표시하기에 적합하다. 액티브 매트릭스 타입의 액정표시장치에서 스위칭소자로써는 주로 박막트랜지스터(Thin Film Transistor; TFT)가 이용되고 있다.

도 1을 참조하면, 종래의 액정표시소자에 대한 평면도가 도시되어 있다. 도 1에 도시된 액정표시소자는 데이터라인(2)과 게이트라인(4)의 교차부에 위치하는 박막트랜지스터(12)와, 박막트랜지스터(6)의 드레인전극(10)에 접속된 화소전극(6)을 구비한다. 박막트랜지스터(12)는 게이트라인(4)에서 돌출된 게이트전극(6), 데이터라인(2)에서 돌출된 소오스전극(8)과, 드레인콘택홀(11)을 통해 화소전극(14)에 접속된 드레인전극(10)으로 이루어진다. 또한, 박막트랜지스터(12)는 게이트전극(12)에 공급되는 게이트전압에 의해 소오스전극(8)과 드레인전극(10)간에 도통채널을 형성하기 위한 활성층(도시하지 않음)을 더 구비한다. 이러한 박막트랜지스터(12)는 게이트라인(2)으로부터의 게이트신호에 응답하여 데이터라인(4)으로부터의 데이터신호를 선택적으로 화소전극(14)에 공급한다. 화소전극(14)은 데이터라인(4)과 게이트라인(2)에 의해 분할된 셀영역에 위치하며 광투과율이 높은 ITO(Indium Tin Oxide) 물질로 이루어진다. 이 화소전극(14)은 드레인전극(10)으로부터 공급되는 데이터신호에 의해 상부기판에 형성되는 공통 투명전극(도시하지 않음)과 전위차를 발생시키게 된다. 이 전위차에 의해 박막트랜지스터 기판과 상부기판 사이에 위치하는 액정이 유전방성에 의해 회전하게 되며 광원으로부터 화소전극(14)을 경유하여 공급되는 광을 상부 유리기판 쪽으로 투과시키게 된다. 화소전극(14)과 이전단의 게이트라인(2) 사이에 형성되는 스토리지 캐패시터(30)는 이전단 게이트라인(2)에 게이트하이전압이 인가되는 기간에 전압을 충전하고, 화소전극(14)에 데이터신호가 공급되는 기간에 충전된 전압을 방전하여 화소전극(14)의 전압변동을 방지하는 역할을 하게 된다. 스토리지 캐패시터(30)는 보호막에 형성된 콘택홀(13)을 통해 화소전극(14)과 전기적으로 접속되어진 스토리지전극(15)과, 게이트절연층을 사이에 둔 게이트라인(2)에 의해 마련되어진다.

도 2는 도 1에 도시된 박막트랜지스터부를 A-A'선을 따라 절단한 단면을 도시한 것이고, 도 3은 도 1에 도시된 데이터라인(2)과 게이트라인(4)의 교차부를 B-B'선을 따라 절단한 단면을 도시한 것이다. 도 2 및 도 3을 참조하여 도 1에 도시된 액정표시소자 제조방법을 살펴보면, 투명기판(16) 상에 금속물질을 증착한 후 패터닝함으로써 게이트라인(2) 및 게이트전극(6)을 형성하게 된다. 게이트라인(2) 및 게이트전극(6)이 형성되어진 투명기판(16)의 상부에 게이트절연막(18)을 형성한 후 비정질실리콘층과 불순물이 도핑된 비정질실리콘층을 순차적으로 형성한 후 패터닝하여 활성층(20)과 오믹콘택층(22)을 형성하게 된다. 그 다음, 금속물질을 증착한 후 패터닝함으로써 데이터라인(4), 소스 및 드레인전극(8, 10)과, 스토리지전극(15)을 형성하게 된다. 이어서, 소스전극(8) 및 드레인전극(10) 사이로 노출된 오믹콘택층(22)을 식각하여 활성층(20)이 노출되게 한다. 그리고, 절연물질을 전면 증착하여 보호막(24)을 형성한 후 패터닝하여 콘택홀을 형성하게 된다. 그 다음, 투명전극물질을 전면 증착한 후 패터닝하여 화소전극(14)을 형성하게 된다.

이러한 액정표시소자에서 게이트라인(2) 및 데이터라인(4)은 패널이 대형화 될수록 양호한 신호전달을 위해 저저항물질을 사용함과 아울러 배선의 두께가 두꺼워지게 된다. 그런데, 게이트라인(2)의 두께가 두꺼워지게 되면 그 단차가 커지게 됨에 따라 그 위에 형성되는 게이트절연막(18)의 스텝 커버리지(Step Coverage)가 나빠지게 된다. 게이트절연막(18)의 스텝 커버리지가 나빠지는 경우 도 3에 도시된 바와 같이 게이트라인(2)과 데이터라인(4)의 교차부에서 게이트절연막(18) 위에 형성되는 데이터라인(4)이 단차부에서 단선되는 문제점이 발생하게 된다. 이에 따라, 액정패널

이 대형화 될수록 게이트 단차에 의한 데이터라인의 단선으로 불량율이 높아지게 되었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 게이트단차에 의한 데이터라인의 단선을 방지할 수 있는 액정표시소자 및 그 제조방법을 제공하는 것이다.

본 발명의 다른 목적은 대형화에 적합한 액정표시소자 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적들을 달성하기 위하여, 본 발명에 따른 액정표시소자는 신호배선이 형성되어질 홈부가 마련된 투명기판과, 투명기판의 홈부에 형성되며 데이터라인 및 게이트라인과 박막트랜지스터의 게이트전극을 이루는 제1 금속패턴과, 데이터라인과 중첩되게 형성되어진 박막트랜지스터의 소스 및 드레인전극을 포함하는 제2 금속패턴과, 제1 금속패턴과 제2 금속패턴 사이에 위치하는 게이트절연막과, 게이트절연막 표면에 형성되며 소스 및 드레인전극에 접촉되는 활성층과, 박막트랜지스터를 보호하기 위한 보호막과, 보호막에 형성되어진 제1 컨택홀을 통해 드레인전극에 전기적으로 접촉된 화소전극과, 상기 보호막의 표면에 형성되며 제2 컨택홀을 통해 상기 데이터라인과 상기 소스전극을 전기적으로 접속시키기 위한 링크전극을 구비하는 것을 특징으로 한다.

본 발명에 따른 액정표시소자의 제조방법은 투명기판 상에 신호배선이 형성되어질 홈부를 마련하는 단계와, 투명기판의 홈부에 데이터라인 및 게이트라인과 박막트랜지스터의 게이트전극을 이루는 제1 금속패턴을 형성하는 단계와, 투명기판 상에 게이트절연막과 활성층을 순차적으로 형성하는 단계와, 활성층 상에 박막트랜지스터의 소스 및 드레인전극을 상기 데이터라인과 중첩되게 형성하는 단계와, 투명기판 상에 보호막을 형성하여 활성층 및 게이트절연막과 함께 패턴닝함과 아울러 컨택홀들을 형성하는 단계와, 컨택홀들 중 제1 컨택홀을 통해 상기 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 목적들 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 본 발명의 바람직한 실시예를 도 4a 내지 도 12를 참조하여 상세히 설명하기로 한다.

도 4a 내지 도 11은 본 발명의 실시예에 따른 액정표시소자의 제조방법을 단계적으로 나타내는 단면도 및 평면도이다.

도 4a 내지 도 4e를 참조하면, 투명기판(32) 상에 트렌치(36)를 형성하여 도 5에 도시된 바와 같은 게이트전극(40)과 데이터라인(42) 및 게이트라인(44)을 동시에 형성하게 된다. 상세히 하면, 도 4a에 도시된 바와 같이 투명기판(32) 상에 포토레지스터를 도포한 후 제1 마스크를 이용하여 패턴닝하여 포토레지스터 패턴(34)을 형성하게 된다. 포토레지스터패턴(34)을 통해 노출된 투명기판(32)을 식각함으로써 도 4b에 도시된 바와 같이 트렌치(Trench)(36)를 형성하게 된다. 그 다음, 도 4c에 도시된 바와 같이 Mo, Cu, Pd, Au 등과 같은 금속물질을 스퍼터링 방법으로 도포하여 금속시드층(38)을 형성하게 된다. 여기서, 상기 트렌치(36)를 습식etching방법으로 형성하는 경우 스퍼터링 방법을 이용하여 금속시드층(38)을 형성하는 반면에, 건식etching방법으로 형성하는 경우 측벽금속층을 형성할 수도 있다. 금속시드층(38)이 형성되면 도 4d에 도시된 바와 같이 투명기판(32) 상부의 포토레지스터 패턴(34)을 제거하게 된다. 이어서, 무전해도금방법을 이용하여 금속시드층(38)이 형성되어진 투명기판(32)의 트렌치(36) 부분에만 Cu, Ag, Au 등과 같은 저저항 금속물질을 도금하여 게이트전극(40)과 게이트라인(42) 및 데이터라인(44)을 형성하게 된다. 이러한 게이트전극(40)과 게이트라인(42) 및 데이터라인(44)은 투명기판(32)과 동일한 표면을 가지게끔 형성된다. 다시 말하여,

게이트라인(44) 및 게이트전극(40)과 데이터라인(42)은 단차부없이 투명기판(32)에 형성되게 된다. 게이트라인(44)과 데이터라인(42)은 도 5에 도시된 바와 같이 쇼트되지 않게 형성된다.

도 6 및 도 7을 참조하면, 상기 게이트전극(40) 및 게이트라인(42)과 데이터라인(44)이 형성되어진 투명기판(32) 상에 순차적으로 게이트절연막(46), 활성층(48), 오믹콘택층(50), 소스 및 드레인 전극(52, 54)을 형성하게 된다. 상세히 하면, 상기 게이트전극(40) 및 게이트라인(42)과 데이터라인(44)이 형성되어진 투명기판(32)의 표면에 게이트절연막(46), 활성층(48), 오믹콘택층(50)을 순차적으로 형성하게 된다. 이어서, 오믹콘택층(50) 위에 Mo, Cr 등과 같은 저저항 금속물질을 증착한 후 제2 마스크를 이용하여 금속층과 오믹콘택층(50)을 동일한 형태로 패터닝하게 된다. 이렇게, 패터닝된 금속층은 도 7에 도시된 바와 같이 소스 및 드레인 전극(52, 54)과, 스토리지전극(56)을 이루게 된다. 여기서, 소스전극(52)의 일측단은 데이터라인(42)의 일측단과 중첩되게 형성되어진다.

도 8 및 도 9를 참조하면, 상기 기판 상에 보호막(60)을 형성하여 패터닝하게 된다. 상세히 하면, 상기 소스 및 드레인 전극(52, 54)과 스토리지전극(56)이 형성되면 기판 전체에 절연물질을 전면 도포하여 보호막(60)을 형성한 후 제3 마스크를 이용하여 보호막 및 활성층(48), 게이트절연막(46)을 박막트랜지스터부와 데이터라인부 및 패드부에만 잔존하도록 순차적으로 패터닝하게 된다. 이때, 도 9에 도시된 바와 같이 데이터라인(42)과 소오스전극(52)을 노출시키는 제1 콘택홀(62)과, 드레인전극(54)을 노출시키는 제2 콘택홀(64)과, 스토리지전극(56)을 노출시키는 제3 접촉홀(66)을 형성하게 된다. 아울러, 데이터라인(42)에서 연장된 데이터패드부와 게이트라인에서 연장된 게이트패드부를 노출시키기 위한 콘택홀도 형성하게 된다. 이 경우, 하프(Half) 노광 마스크를 이용하여 포토레지스터의 두께를 조절함으로써 게이트절연막(44)을 선택적으로 식각하게 된다. 예를 들면, 게이트라인부에서는 게이트라인(44)이 손상되는 것을 방지하기 위하여 게이트절연막(46)이 식각되지 않게끔 하프(Half) 노광 마스크를 이용하게 된다.

도 10 및 도 11을 참조하면, 상기 보호막(60)이 형성되어진 기판 상에 투명전극물질을 전면 증착한 후 제4 마스크를 이용하여 패터닝함으로써 제2 콘택홀(64)을 통해 드레인전극(54)에 접촉된 화소전극(68)을 형성하게 된다. 이 경우, 도 12에 도시된 바와 같이 제1 콘택홀(62)을 통해 노출되어진 데이터라인(42)과 소스전극(52)에 전기적으로 접속되는 링크전극(70)을 형성함과 아울러 패드부에 접촉되는 투명전극을 형성하게 된다.

한편, 투명전극물질로 이루어진 링크전극(70)이 데이터라인(42)과 소스전극(52)과의 접촉저항이 큰 경우 마스크 공정을 한 단계 더 추가하여 상기 링크전극(70)을 금속물질로 형성할 수도 있다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 액정표시소자 및 그 제조방법에서는 투명기판에 형성되어진 트랜치에 데이터라인과 게이트라인을 단차없이 형성함으로써 종래의 게이트라인 단차에 의한 데이터라인의 단선을 방지할 수 있게 된다. 이에 따라, 본 발명에 따른 액정표시소자 및 그 제조방법은 게이트라인을 두겹게 형성하는 경우에도 데이터라인의 단선에 의한 불량율을 최소화할 수 있으므로 대형 패널에 적용될 수 있게 된다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

신호배선이 형성되어질 홈부가 마련된 투명기판과,

상기 투명기판의 홈부에 형성되며 데이터라인 및 게이트라인과 박막트랜지스터의 게이트전극을 이루는 제1 금속패턴과,  
상기 데이터라인과 중첩되게 형성되어진 상기 박막트랜지스터의 소스 및 드레인전극을 포함하는 제2 금속패턴과,  
상기 제1 금속패턴과 제2 금속패턴 사이에 위치하는 게이트절연막과,  
상기 게이트절연막 표면에 형성되며 상기 소스 및 드레인전극에 접촉되는 활성층과,  
상기 박막트랜지스터를 보호하기 위한 보호막과,  
상기 보호막 형성되어진 제1 콘택홀을 통해 상기 드레인전극에 전기적으로 접촉된 화소전극과,  
상기 보호막 표면에 형성되며 제2 콘택홀을 통해 상기 데이터라인과 상기 소스전극을 전기적으로 접속시키기 위한 링  
크전극을 구비하는 것을 특징으로 하는 액정표시소자.

## 청구항 2.

제 1 항에 있어서,

상기 제1 금속패턴과 상기 투명기판은 동일한 표면을 가지는 것을 특징으로 하는 액정표시소자.

## 청구항 3.

제 1 항에 있어서,

상기 제2 금속패턴은 상기 화소전극에 제3 콘택홀을 통해 접속되어 상기 게이트라인과 스토리지 캐패시터를 이루는 스토리지전극을 더 구비하는 것을 특징으로 하는 액정표시소자.

## 청구항 4.

제 1 항에 있어서,

상기 링크전극은 투명전극 및 금속전극 중 어느 하나인 것을 특징으로 하는 액정표시소자.

## 청구항 5.

투명기판 상에 신호배선이 형성되어질 홈부를 마련하는 단계와,

상기 투명기판의 홈부에 데이터라인 및 게이트라인과 박막트랜지스터의 게이트전극을 이루는 제1 금속패턴을 형성하는 단계와,

상기 투명기판 상에 게이트절연막과 활성층을 순차적으로 형성하는 단계와,

상기 활성층 상에 상기 박막트랜지스터의 소스 및 드레인 전극을 상기 데이터라인과 중첩되게 형성하는 단계와,

상기 투명기판 상에 보호막을 형성하여 상기 활성층 및 게이트절연막과 함께 패터닝함과 아울러 콘택홀들을 형성하는 단계와,

상기 콘택홀들 중 제1 콘택홀을 통해 상기 드레인전극과 접촉되는 화소전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정표시소자의 제조방법.



청구항 6.

제 5 항에 있어서,

상기 제1 금속패턴은 무전해도금 방법에 의해 형성되는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 제1 금속패턴을 형성하는 단계는

상기 투명기판에 습식에칭방법에 의해 상기 홈부를 형성하는 경우 그 홈부에 금속시드층을 형성한 후 상기 제1 금속패턴을 형성하는 단계인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 8.

제 6 항에 있어서,

상기 제1 금속패턴을 형성하는 단계는

상기 투명기판에 건식에칭방법에 의해 상기 홈부를 형성하는 경우 그 홈부에 촉매금속층을 형성한 후 상기 제1 금속패턴을 형성하는 단계인 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 9.

제 5 항에 있어서,

상기 소스 및 드레인전극을 형성하는 단계에서는

상기 컨택홀들 중 제2 컨택홀을 통해 상기 화소전극에 접촉되며 상기 게이트라인과 스토리지 캐패시터를 이루는 스토리지전극을 동시에 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 10.

제 5 항에 있어서,

상기 보호막, 활성층, 게이트절연막을 패터닝하는 단계에서는

하프 노광 마스크를 이용하여 상기 게이트절연막을 영역에 따라 선택적으로 에칭하는 것을 특징으로 하는 액정표시소자의 제조방법.

청구항 11.

제 5 항에 있어서,

상기 화소전극을 형성하는 단계에서는

상기 데이터라인 및 소스전극과 상기 컨택홀들 중 제3 컨택홀을 통해 접촉되며 상기 화소전극과 같은 투명전극물질로 이루어진 링크전극을 동시에 형성하는 것을 특징으로 하는 액정표시소자의 제조방법.

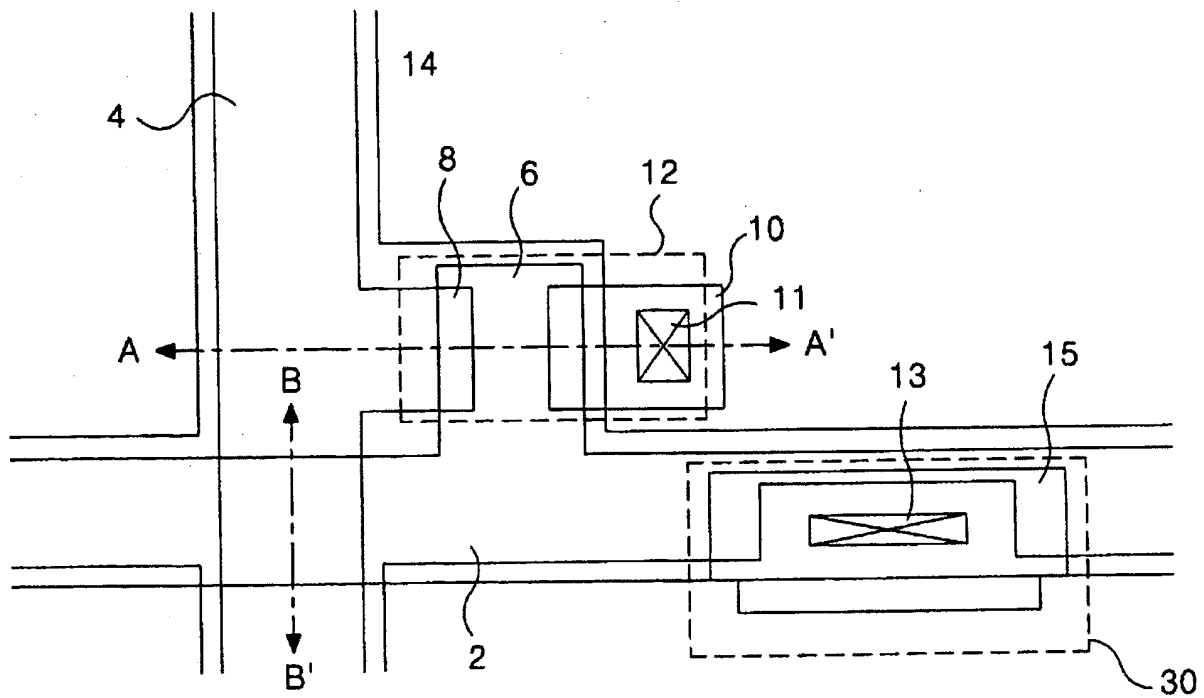
청구항 12.

제 5 항에 있어서,

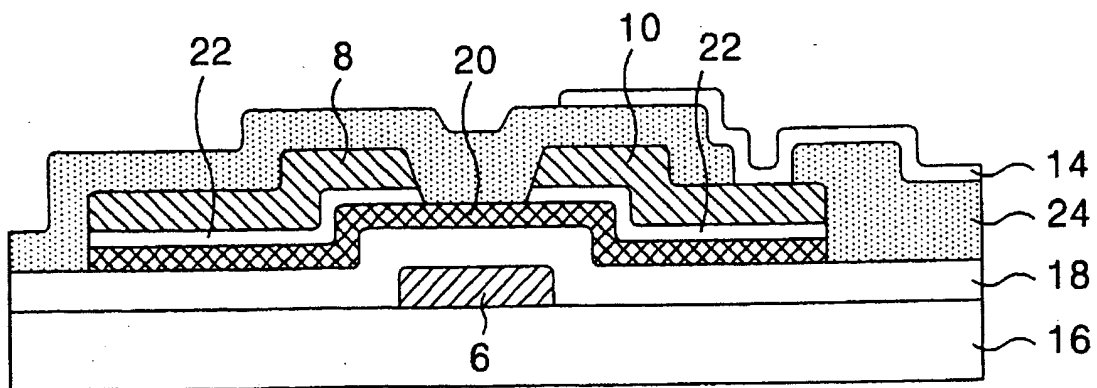
상기 데이터라인 및 소스전극과 상기 콘택홀들 중 제3 콘택홀을 통해 접촉되며 금속물질로 이루어진 링크전극을 형성하는 단계를 더 포함하는 것을 것을 특징으로 하는 액정표시소자의 제조방법.

도면

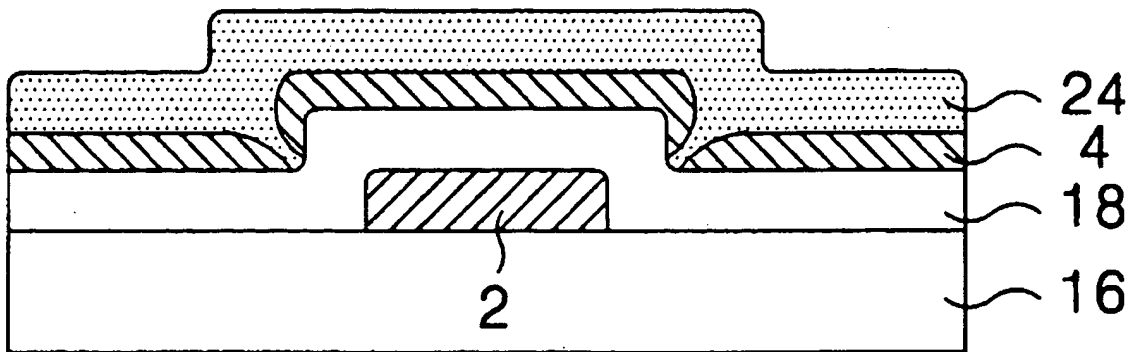
도면 1



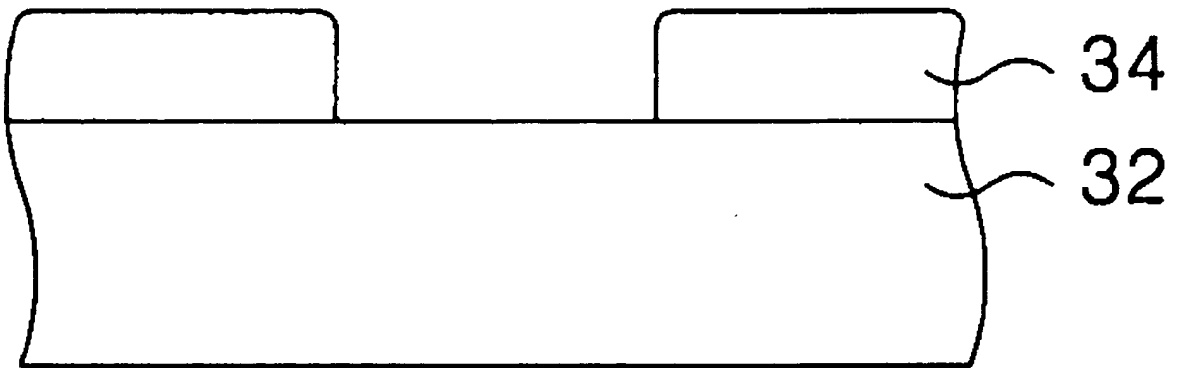
도면 2



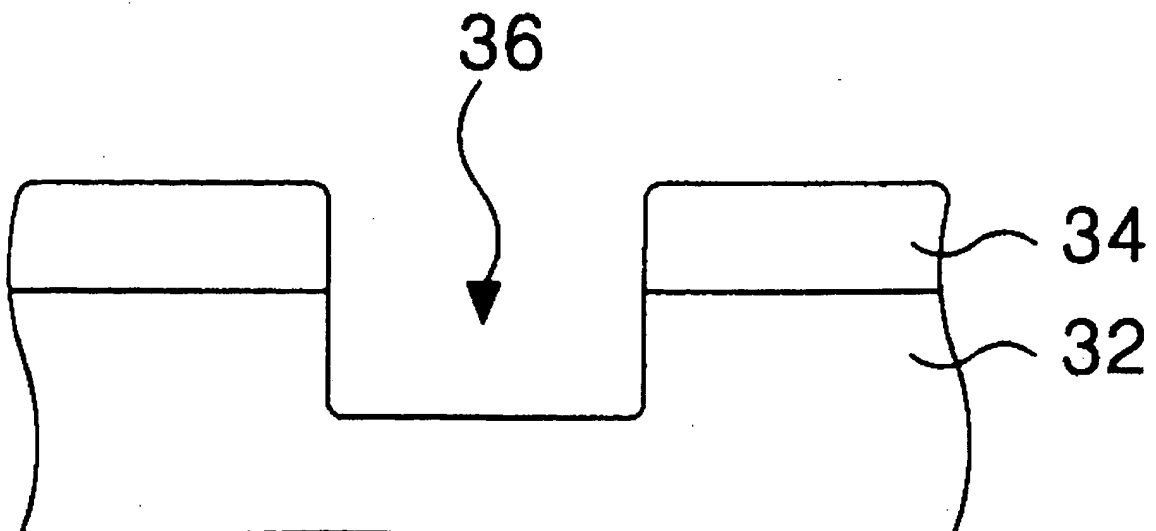
도면 3



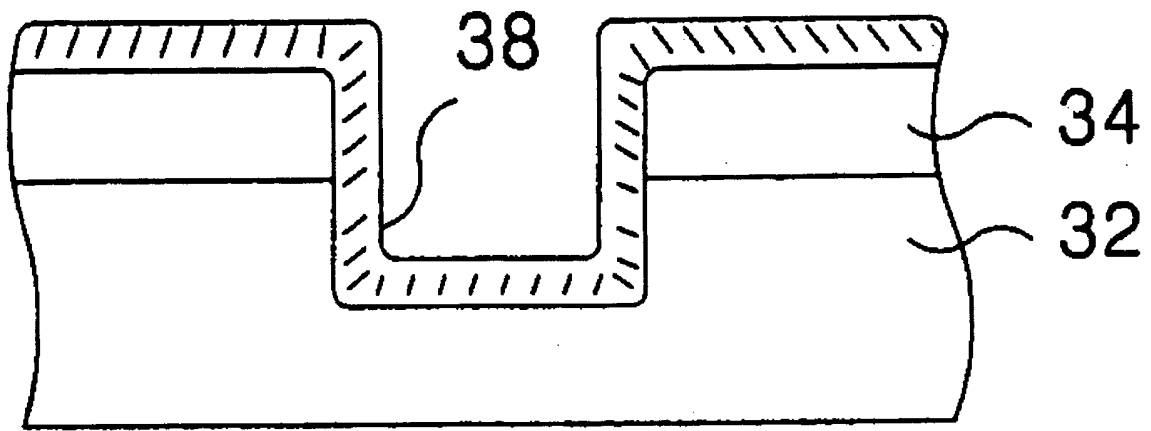
도면 4a



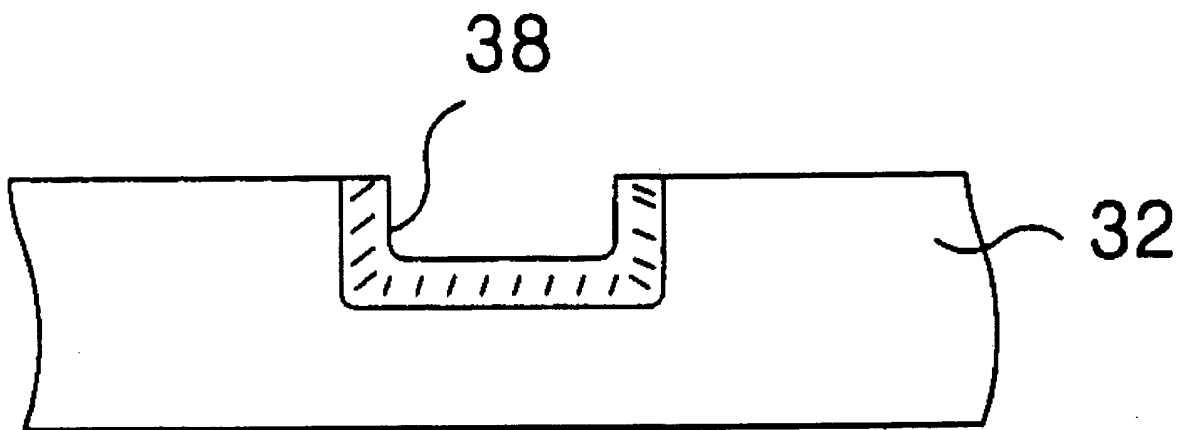
도면 4b



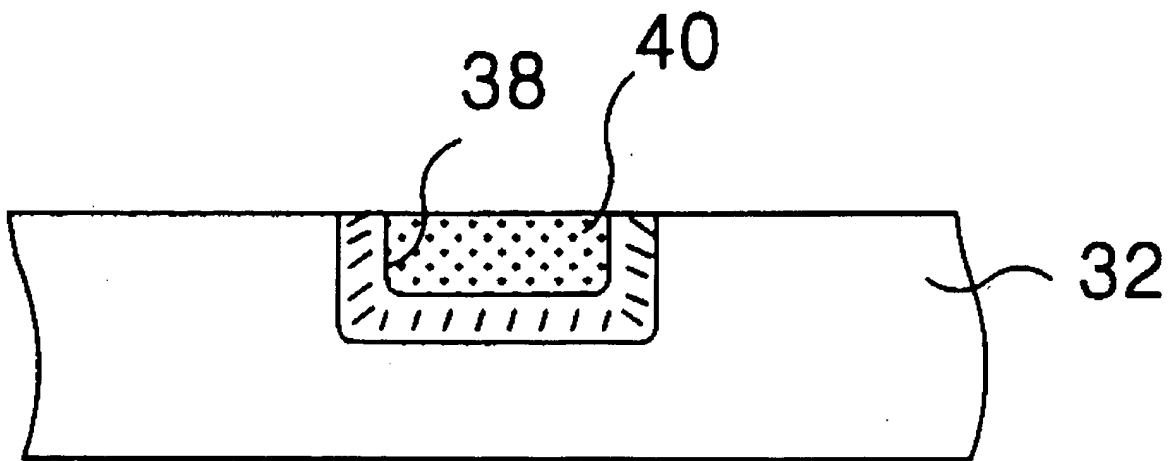
도면 4c



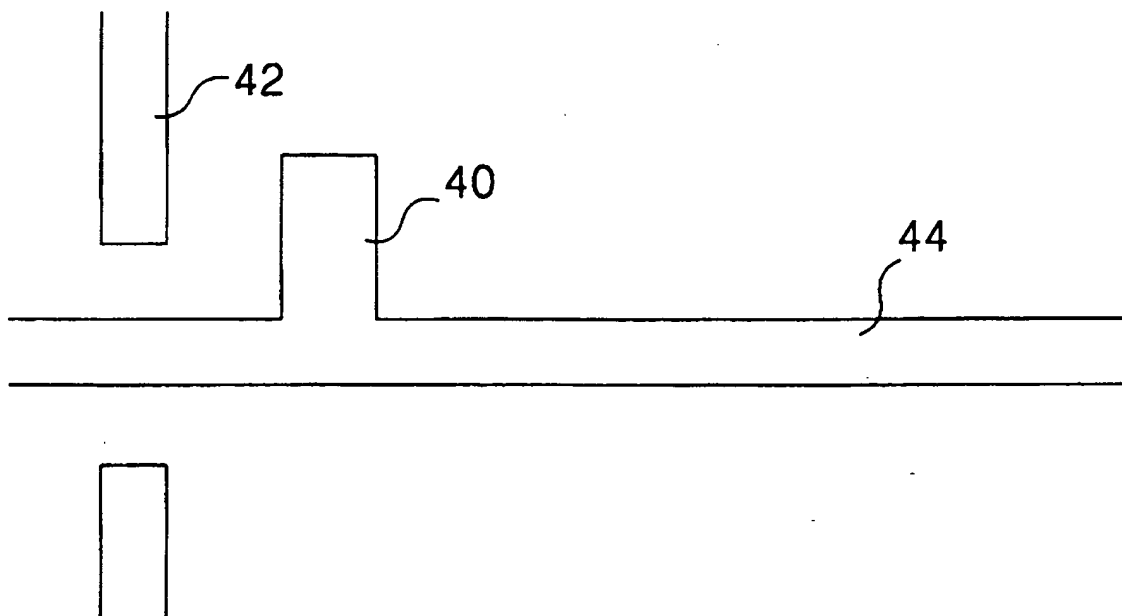
도면 4d



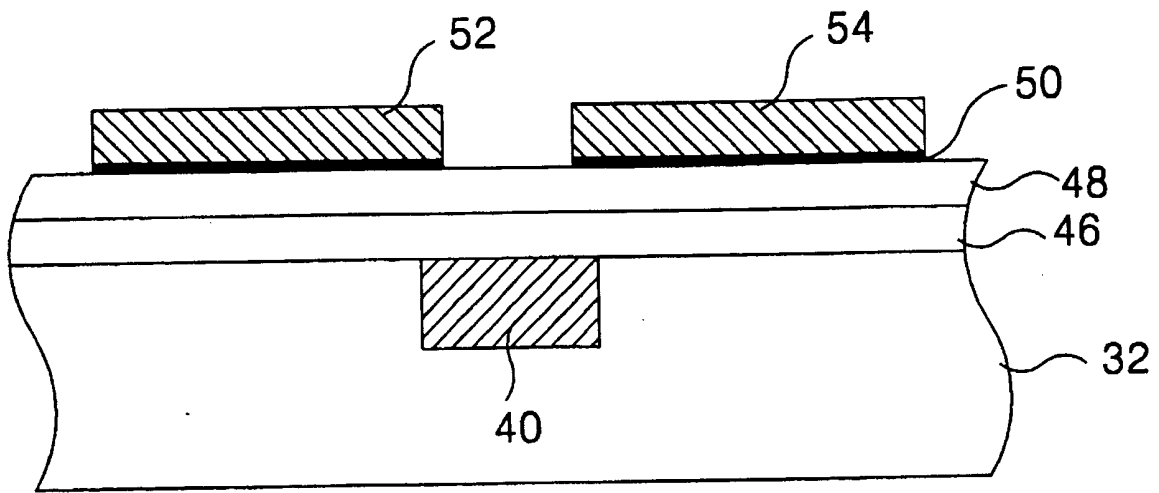
도면 4e



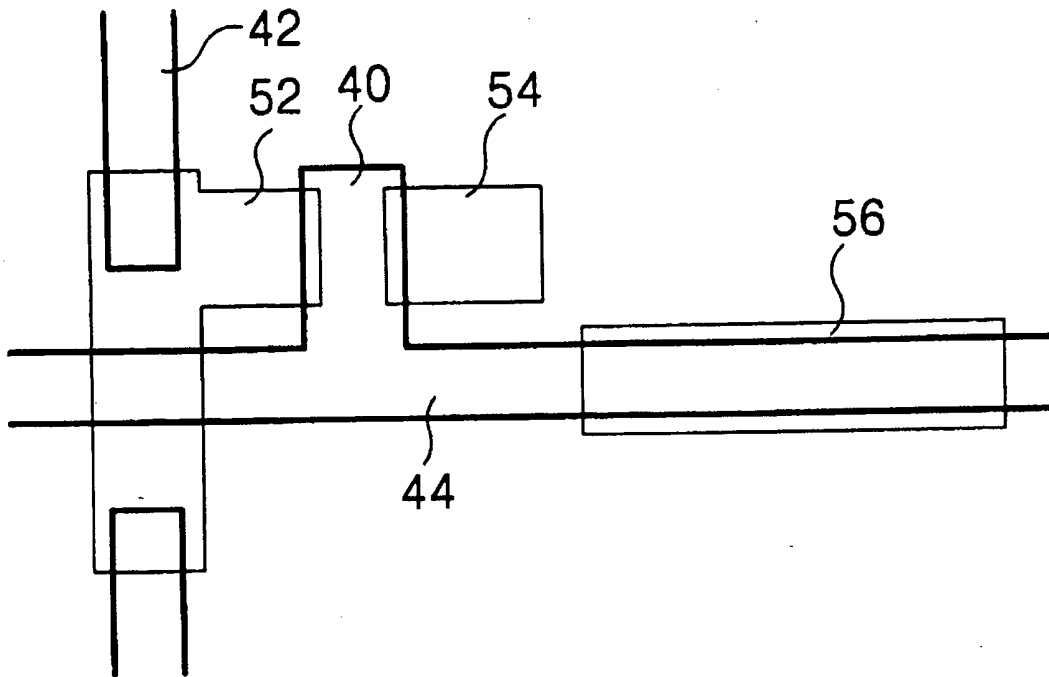
도면 5



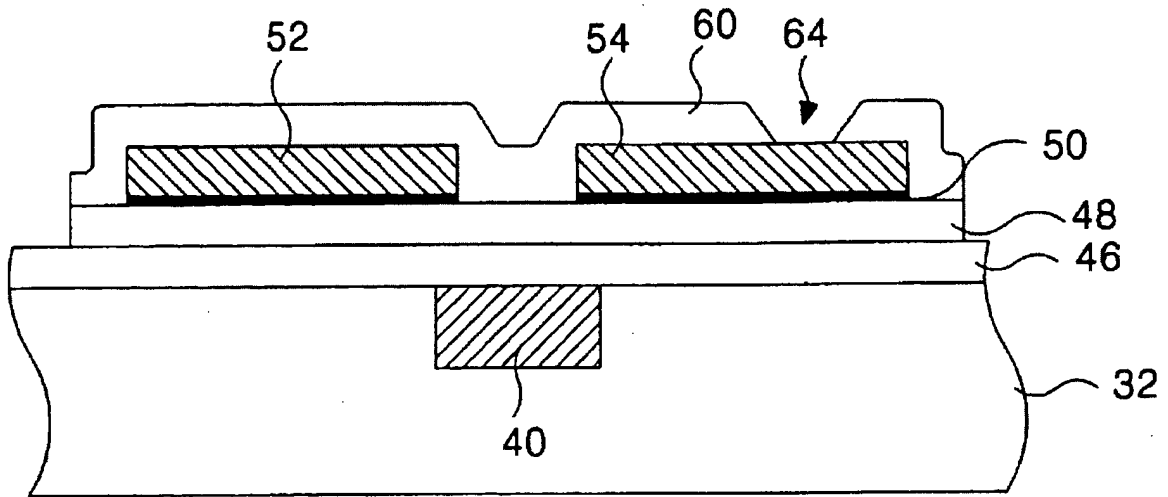
도면 6



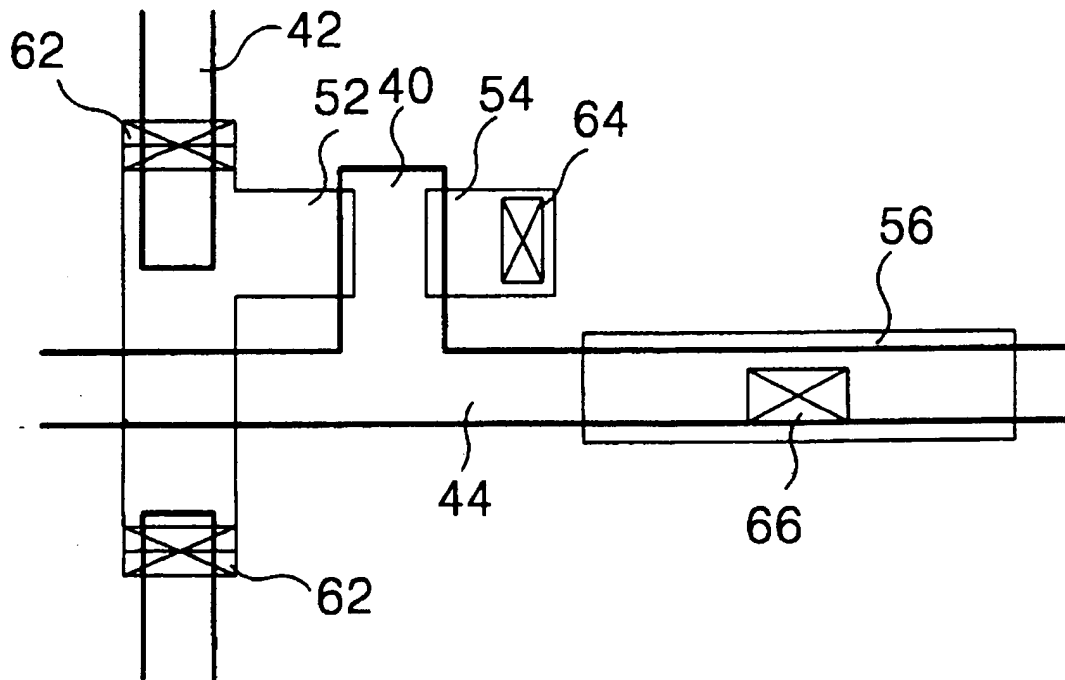
도면 7



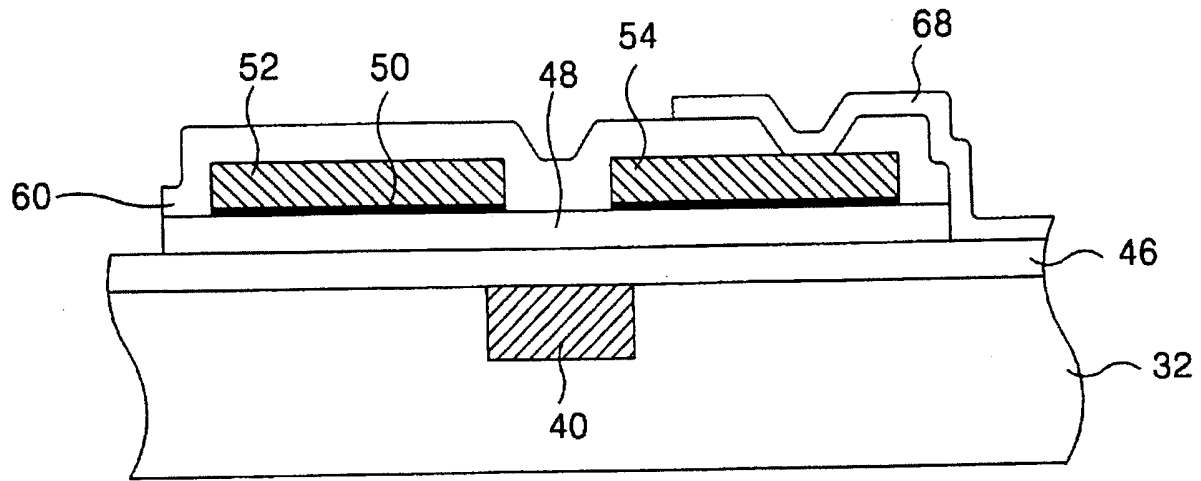
도면 8



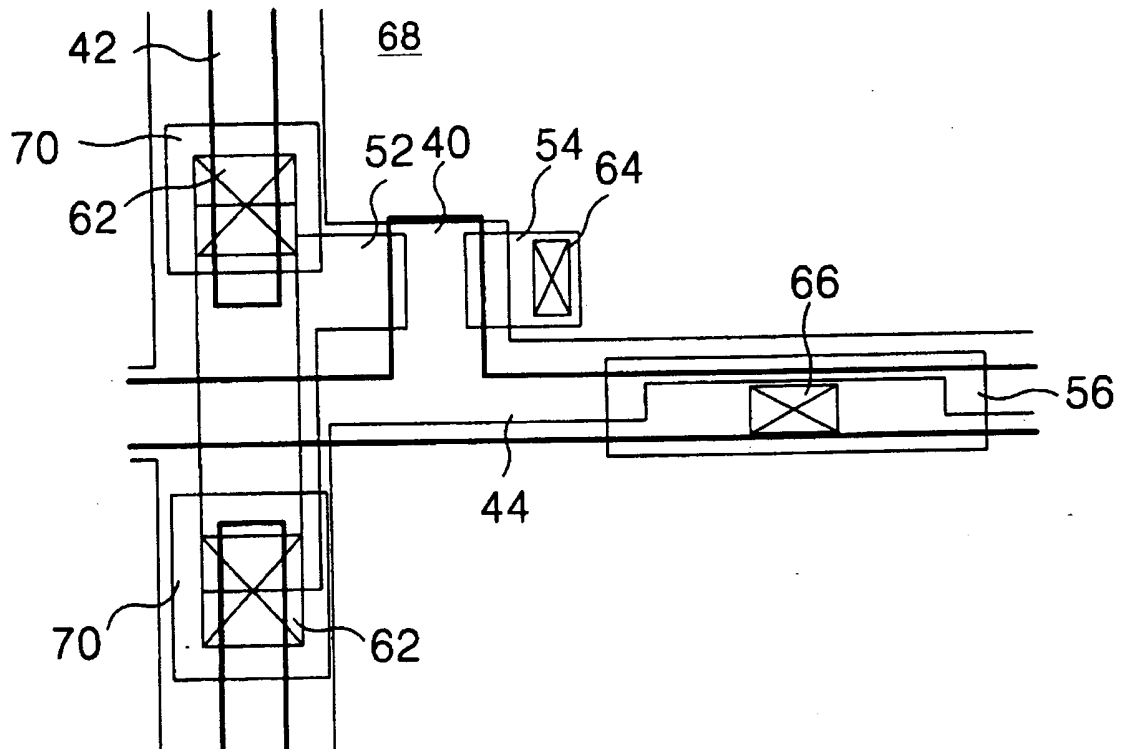
도면 9



도면 10

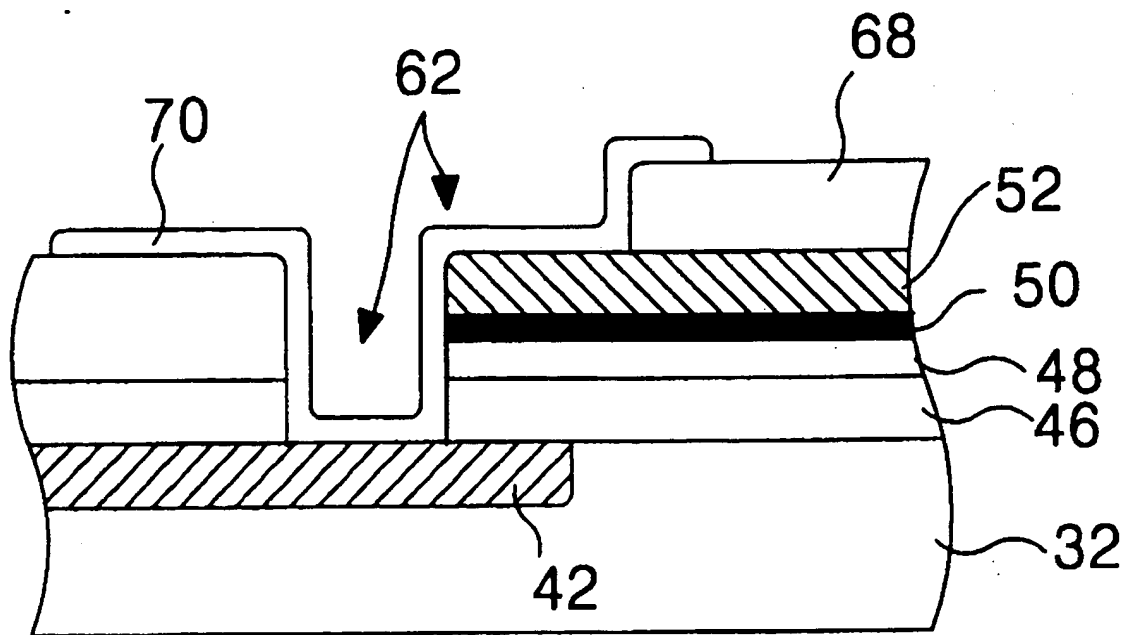


도면 11





도면 12



**THIS PAGE BLANK (USPTO)**